

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2005 年 10 月 27 日 (27.10.2005)

PCT

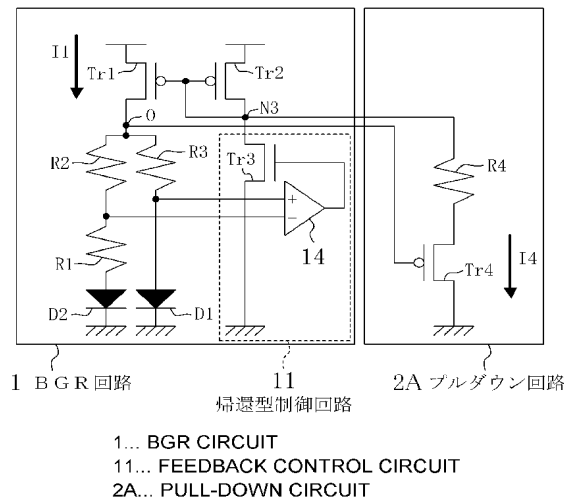
(10) 国際公開番号
WO 2005/101156 A1

- (51) 国際特許分類: G05F 3/28 (72) 発明者; および
(21) 国際出願番号: PCT/JP2005/002159 (75) 発明者/出願人 (米国についてのみ): 木下 雅善 (KINOSHITA, Masayoshi). 崎山 史朗 (SAKIYAMA, Shiro).
(22) 国際出願日: 2005 年 2 月 14 日 (14.02.2005)
(25) 国際出願の言語: 日本語 (74) 代理人: 前田 弘, 外 (MAEDA, Hiroshi et al.); 〒5410053 大阪府大阪市中央区本町 2 丁目 5 番 7 号 大阪丸紅ビル Osaka (JP).
(26) 国際公開の言語: 日本語
(30) 優先権データ: 特願 2004-122075 2004 年 4 月 16 日 (16.04.2004) JP (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE,
(71) 出願人 (米国を除く全ての指定国について): 松下電器産業株式会社 (MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD.) [JP/JP]; 〒5718501 大阪府門真市大字門真 1 0 0 6 番地 Osaka (JP).

[続葉有]

(54) Title: REFERENCE VOLTAGE GENERATING CIRCUIT

(54) 発明の名称: 基準電圧発生回路



(57) Abstract: A reference voltage generating circuit in which a band gap reference circuit (BGR circuit) (1) comprises diode elements (D1, D2) having different current densities, three resistor elements (R1, R2, R3) a first P type transistor (Tr1) for supplying a current to a reference voltage output terminal (O), a second P-type transistor (Tr2) for determining a drain current flowing through the first transistor (Tr1) by a current mirror arrangement, and a feedback control circuit (11). The BGR circuit (1) is connected with a pull-down circuit (2) consisting of a resistor element (R4) and a P-type transistor (Tr4) connected in series. The resistor element (R4) is connected with the drain terminal of the second P-type transistor (Tr2), while the P-type transistor (Tr4) has a gate terminal connected with the reference voltage output terminal (O) and an earthed drain terminal. Consequently, current consumption and the number of elements are reduced in a start-up circuit for causing a transition from an abnormal settling point to a normal settling point.

(57) 要約: 基準電圧発生回路において、バンドギャップリファレンス回路 (BGR回路) 1 は、電流密度の異なるダイオード素子 D1、D2 と、3 個の抵抗素子 R1、R2、R3 と、基準電圧出力端子 O に電流を供給する P 型の第 1 のトランジスタ Tr1 と、前記第 1 トランジスタ Tr1 に流れるドレイン電流をカレン

[続葉有]

WO 2005/101156 A1



SG, SK, SL, SM, SY, TJ, TM, TN, TR, TT, TZ, UA, UG,
US, UZ, VC, VN, YU, ZA, ZM, ZW.

OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML,
MR, NE, SN, TD, TG).

(84) 指定国 (表示のない限り、全ての種類の広域保護
が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA,
SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ,
BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE,
BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU,
IE, IS, IT, LT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR),

添付公開書類:

— 国際調査報告書

2文字コード及び他の略語については、定期発行される
各PCTガゼットの巻頭に掲載されている「コードと略語
のガイダンスノート」を参照。

トミラー構成によって決定するP型の第2のトランジスタTr2と、帰還型制御回路11とにより構成される。
前記BGR回路1にはプルダウン回路2が接続される。このプルダウン回路2は、直列接続された抵抗素子R4及
びP型トランジスタTr4を備える。前記抵抗素子R4は第2のP型トランジスタTr2のドレイン端子に接続さ
れ、P型トランジスタTr4は、ゲート端子が基準電圧出力端子Oに接続され、ドレイン端子が接地される。従っ
て、異常安定点から正常安定点へ移行させるスタートアップ回路での消費電流及び素子数が削減される。

明 細 書

基準電圧発生回路

技術分野

- [0001] 本発明は、電源電圧や温度の変動に拘わらず一定電圧を発生する基準電圧発生回路に関し、特に、異常安定点で安定した場合にも、安定点を正常安定点に移行させるスタートアップ回路を備えたものに関する。

背景技術

- [0002] 従来、電源電圧や温度の変動に拘わらず一定電圧を発生する基準電圧発生回路は、アナログーデジタル変換器などのアナログ回路に広く用いられる。
- [0003] このような基準電圧発生回路としては、図7に示すように、バンドギャップリファレンス回路(以下、BGR回路と略す)30を有する。このBGR回路30は、電流密度の異なる2個のダイオード素子D1、D2と、3個の抵抗素子R1、R2、R3と、基準電圧出力端子Oに電流を供給するP型の第1のトランジスタTr1と、前記第1のトランジスタTr1に流れるドレイン電流をカレントミラー構成によって決定するP型の第2のトランジスタTr2と、帰還型制御回路31とを内蔵する。この帰還型制御回路31は、差動増幅回路32とN型のトランジスタTr3とにより構成されて、前記第2のトランジスタTr2のドレイン電流を制御する。
- [0004] 前記帰還型制御回路31は、ダイオードD1の陽極と抵抗素子R3との接続点をノードN1とし、2個の抵抗素子R1、R2の接続点をノードN2として、この2つのノードN1、N2の両電圧が等しくなる安定点で動作が安定するように働く。例えば、ノードN1の電圧がノードN2の電圧よりも大きい場合には、差動増幅回路32によってトランジスタTr3のゲート電圧が上昇し、このトランジスタTr3のドレイン電流が増加して、第2のトランジスタTr2のドレイン電流が増加し、その結果、第1のトランジスタTr1のドレイン電流I1が増加して、基準電圧出力端子Oの出力電圧が大きくなり、動作安定点まで移動する。逆に、ノードN1の電圧がノードN2の電圧よりも小さい場合には、差動増幅回路32によってトランジスタTr3のゲート電圧が下降し、このトランジスタTr3のドレイン電流が減少して、第2のトランジスタTr2のドレイン電流が減少し、その結果、第1

のトランジスタTr1のドレイン電流I1が減少して、基準電圧出力端子Oの出力電圧が小さくなり、動作安定点まで移動する。

[0005] 図8は、このような基準電圧出力端子Oの出力電圧と、ノードN1の電圧やノードN2の電圧との関係を示す。同図から判るように、ノードN1の電圧は、基準電圧出力端子Oの所定の出力電圧以上の範囲では、その出力電圧値に拘わらずほぼ一定の電圧になる。一方、ノードN2の電圧は、基準電圧出力端子Oの出力電圧が大きくなるに従って、大きくなる。従って、ノードN1の電圧とノードN2の電圧とには、交点(正常安定点)が存在し、帰還型制御回路31によって正常安定点で動作するようになる。その結果、BGR回路30は電源電圧に依存しない出力電圧を作り出すことが可能となる。

[0006] 正常安定点で動作している際の基準電圧出力端子Oの出力電圧は次式で表される。

$$[0007] \quad \text{出力電圧} = V_d + kT/q \cdot R_2/R_1 \\ \cdot \log(I_{s2}/I_{s1} \cdot R_2/R_3)$$

ここで、 V_d はダイオード素子D1の端子間電圧、 k はボルツマン定数、 T は温度、 q は電子の電荷量、 I_{s1} 、 I_{s2} はそれぞれダイオード素子D1、D2の飽和電流である。ダイオード素子D1の端子間電圧 V_d は負の温度特性を持つため、抵抗素子 R_1 、 R_2 、 R_3 の抵抗値やダイオード素子の電流 I_{s1} 、 I_{s2} の温度特性をダイオード素子D1の端子間電圧 V_d の温度特性に対してキャンセルするように設定することにより、温度に依存しない出力電圧を作り出すことが可能となる。

[0008] 以上のように、BGR回路30は電源電圧や温度に依存しない出力電圧を作り出せる特長がある。しかし、図8から判るように、基準電圧出力端子Oの出力電圧が小さい範囲では、第1のトランジスタTr1から供給されるドレイン電流I1が非常に少なく、ノードN1の電圧とノードN2の電圧とが交わる異常安定点が存在する。このため、帰還型制御回路31はこの異常安定点で動作を安定させようと制御することがあり、その結果、基準電圧出力端子Oの出力電圧が接地電位付近となって、所望の電圧が出力されなくなる。そこで、基準電圧発生回路には、図7に示すように、BGR回路30に、動作が異常安定点に制御された場合にその異常安定点から正常安定点へと状態を移

行させるスタートアップ回路40が備えられる。

[0009] 前記従来のスタートアップ回路40は、特許文献1に記載された構成であって、定電流源15からダイオード素子16に電流を供給して、正常安定点判断用のダイオード電圧を作成し、このダイオード電圧とBGR回路30の基準電圧出力端子Oの出力電圧とを比較回路17で比較して、基準電圧出力端子Oの出力電圧の方が小さい場合には、異常安定点にあると判断して、P型のトランジスタ18をONさせて、そのドレイン電流を基準電圧出力端子Oに供給して、出力電圧を上昇させるようにしている。また、例えば特許文献2に記載されるスタートアップ回路では、出力電圧を監視する電圧監視回路を搭載し、この電圧監視回路が異常安定点にあると判断した場合には、基準電圧出力端子Oと前記ノードN1とに電圧を供給する構成を取っている。

[0010] このように、従来のスタートアップ回路では、基準電圧出力端子Oの出力電圧を常にモニターし、異常状態時に基準電圧出力端子Oの電圧を上昇させて、異常安定点から正常安定点に移行させている。

特許文献1:特許第3422706号公報(第1図)

特許文献2:特許第3185698号公報(第1図)

発明の開示

発明が解決しようとする課題

[0011] しかしながら、従来のスタートアップ回路では、基準電圧出力端子Oの出力電圧を常にモニターする必要があるため、そのモニター回路で常時電流を消費してしまう欠点がある。例えば、特許文献1においては、ダイオード電圧を発生させるための電流源15や、ダイオード電圧と出力電圧とを比較するための比較回路17で電流が消費されてしまう。また、特許文献2では、基準電圧出力端子の出力電圧を監視する電圧監視回路で電流が消費されてしまう。このような電流消費は、例えば、電池で駆動する携帯機器に基準電圧発生回路を内蔵する場合には、携帯機器の使用時間を縮めてしまう欠点がある。

[0012] 更に、従来のスタートアップ回路では、モニター回路等に比較的多くの半導体素子を使用している。例えば、図7に示したスタートアップ回路40に備える比較回路17は、具体的には、図9に示すように多くの半導体素子を用いた差動増幅回路で実現さ

れる。このため、このような多くの半導体素子を半導体基板上に実装するためには、広い面積を確保する必要があり、コスト高となってしまう。

- [0013] 以上の点に鑑み、本発明の目的は、基準電圧発生回路において、電流消費を増加させることなく、また、少ない素子数で小面積化を図り得るスタートアップ回路を提供することにある。

課題を解決するための手段

- [0014] 前記課題を解決するために、本発明の基準電圧発生回路は、例えば図7に示したBGR回路において、カレントミラー回路を構成する第1及び第2のP型トランジスタのうち第2のP型トランジスタTr2では、異常安定点でそのドレイン電流が零値になる点に着目し、この状況で第2のP型トランジスタTr2のドレイン電流をスタートアップ回路で強制的に流し、その後、このドレイン電流の増大に伴い前記第1のP型トランジスタのドレイン電流が増大して、基準電圧出力端子の出力電圧が増大すると、前記第2のP型トランジスタTr2のドレイン電流の多くを帰還型制御回路に流して、スタートアップ回路に流れる電流を少なく制限することとする。
- [0015] 具体的に、本発明の基準電圧発生回路は、基準電圧出力端子から一定電圧の基準電圧を発生する基準電圧発生回路であって、陰極が接地電位に接続された第1のダイオード素子、前記第1のダイオード素子とは電流密度が異なり、且つ陰極が接地電位に接続された第2のダイオード素子、前記第2のダイオード素子の陽極に一端が接続された第1の抵抗素子、前記第1の抵抗素子の他端に一端が接続され、他端が前記基準電圧出力端子に接続された第2の抵抗素子、前記第1のダイオード素子の陽極に一端が接続され、他端が前記基準電圧出力端子に接続された第3の抵抗素子、前記基準電圧出力端子に電流を供給する第1のP型トランジスタ、ゲート端子が自己のドレイン端子及び前記第1のP型トランジスタのゲート端子に接続された第2のP型トランジスタ、及び、前記第1のダイオード素子の陽極の電圧と前記第1及び第2の抵抗素子同士の接続点の電圧とが等しくなるように前記第2のP型トランジスタのドレイン電流を制御する帰還型制御回路を有するバンドギャップリファレンス回路と、前記バンドギャップリファレンス回路の基準電圧出力端子の出力電圧が異常安定点にあるとき正常安定点に移行させるスタートアップ回路とを備え、前記スタートアップ

プ回路は、前記バンドギャップリファレンス回路の第2のP型トランジスタのドレイン端子と接地電位の間に配置され、前記第2のP型トランジスタのドレイン電流がほぼ零値のときにそのドレイン電流を増大させることを特徴とする。

[0016] 本発明は、前記基準電圧発生回路において、前記スタートアップ回路は、ゲート端子が前記基準電圧出力端子に接続されたP型トランジスタであることを特徴とする。

[0017] 本発明は、前記基準電圧発生回路において、前記スタートアップ回路は、ゲート端子が前記基準電圧出力端子に接続されたP型トランジスタと、前記P型トランジスタのソース端子と前記バンドギャップリファレンス回路の第2のP型トランジスタのドレイン端子との間に配置された電流発生素子とを有することを特徴とする。

[0018] 本発明は、前記基準電圧発生回路において、前記電流発生素子は、抵抗素子であることを特徴とする。

[0019] 本発明は、前記基準電圧発生回路において、前記電流発生素子は、ダイオード素子であることを特徴とする。

[0020] 本発明は、前記基準電圧発生回路において、前記電流発生素子は、ゲート端子がドレイン端子に接続されたトランジスタであることを特徴とする。

[0021] 本発明は、前記基準電圧発生回路において、前記電流発生素子は、ゲート端子が一定電圧に固定されたトランジスタであることを特徴とする。

[0022] 以上により、本発明では、バンドギャップリファレンス回路が異常安定点にある際には、第2のP型トランジスタのドレイン電流はほぼ零値であるが、スタートアップ回路がそのドレイン電流を増大させるので、バンドギャップリファレンス回路では、第1のP型トランジスタのドレイン電流が増大して、基準電圧出力端子の出力電圧も上昇し、これに伴い帰還型制御回路が前記基準電圧出力端子の出力電圧を正常安定点で安定するように制御する。この正常安定点では、第2のP型トランジスタのドレイン電流のほとんどは帰還型制御回路に流れ、スタートアップ回路に流れる電流値は少ないので、電流消費は少ない。

[0023] 特に、本発明では、基準電圧出力端子が異常安定点にある際には、その基準電圧出力端子の電圧は接地電位に近い電圧であるが、この時、スタートアップ回路に備えるP型トランジスタは、ゲートソース間電圧が大きくなるので、バンドギャップリファ

レンス回路の第2のP型トランジスタのドレイン電流を効果的に増加させ、その結果、基準電圧出力端子の出力電圧が素早く上昇して、帰還型制御回路が正常安定点で動作するように制御する。

- [0024] また、本発明では、スタートアップ回路が、P型トランジスタと電流発生素子との直列回路により構成されるので、このスタートアップ回路に流れる電流の値を、バンドギャップリファレンス回路の正常安定点での第1のP型トランジスタのドレイン電流の値よりも小値に制限できるので、正常安定点での動作を容易に確保できる。

発明の効果

- [0025] 以上説明したように、本発明の基準電圧発生回路によれば、実質的に消費電流の増加なしにスタートアップ機能を実現できると共に、従来必要であった比較回路や電圧監視回路などの比較的複雑な回路を不要にして、素子数を削減できてレイアウト面積を削減でき、コンパクト化及び低コスト化を図ることができる。

図面の簡単な説明

- [0026] [図1]本発明の第1の実施形態の基準電圧発生回路を示す回路図である。
[図2]同基準電圧発生回路において、異常安定点から正常安定点に移行する過程の出力電圧、トランジスタのドレイン電流等の変化の様子を示す図である。
[図3]本発明の第2の実施形態の基準電圧発生回路を示す回路図である。
[図4]本発明の第3の実施形態の基準電圧発生回路を示す回路図である。
[図5]本発明の第4の実施形態の基準電圧発生回路を示す回路図である。
[図6]同実施形態の基準電圧発生回路の変形例を示す回路図である。
[図7]従来の基準電圧発生回路の一例を示す回路図である。
[図8]バンドギャップリファレンス回路の異常安定点及び正常安定点を説明する図である。
[図9]従来の基準電圧発生回路のスタートアップ回路で使用される差動増幅回路の構成を示す回路図である。

符号の説明

- [0027] 1 BGR回路
2、2A～2D プルダウン回路(スタートアップ回路)

| | |
|---------|------------------|
| D1 | 第1のダイオード素子 |
| D2 | 第2のダイオード素子 |
| D3 | ダイオード素子(電流発生素子) |
| R1 | 第1の抵抗素子 |
| R2 | 第2の抵抗素子 |
| R3 | 第3の抵抗素子 |
| R4 | 抵抗素子(電流発生素子) |
| O | 基準電圧出力端子 |
| Tr1 | 第1のP型トランジスタ |
| Tr2 | 第2のP型トランジスタ |
| Tr3 | トランジスタ |
| Tr4 | P型トランジスタ |
| Tr5、Tr6 | P型トランジスタ(電流発生素子) |
| 11 | 帰還型制御回路 |
| 14 | 差動増幅回路 |

発明を実施するための最良の形態

[0028] 以下、本発明の実施形態を図面に基づいて説明する。

[0029] (第1の実施形態)

図1は、本発明の第1の実施形態の基準電圧発生回路を示す。

[0030] 同図において、1はBGR回路、2はスタートアップ回路としてのプルダウン回路である。前記BGR回路1は、一定電圧の基準電圧を出力する基準電圧出力端子Oを持つ。

[0031] 前記BGR回路1において、D1は第1のダイオード素子、D2は第2のダイオード素子、R1は第1の抵抗素子、R2は第2の抵抗素子、R3は第3の抵抗素子、Tr1はP型の第1のトランジスタ、Tr2はP型の第2のトランジスタ、11は帰還型制御回路である。前記第1のダイオード素子D1の陰極は接地電位に接続される。また、前記第2のダイオード素子D2は、その電流密度が前記第1のダイオード素子D1の電流密度とは異なり、その陰極は接地電位に接続される。前記第1の抵抗素子R1は、その一端が

前記第2のダイオード素子D2の陽極に接続され、その他端は前記第2の抵抗素子R2の一端に接続される。第2の抵抗素子R2の他端は、前記基準電圧出力端子Oに接続される。更に、第3の抵抗素子R3は、その一端が前記第1のダイオード素子D1の陽極に接続され、他端は前記基準電圧出力端子Oに接続される。

[0032] 更に、前記第1のP型トランジスタTr1は、そのソース端子が電源に接続され、そのドレイン端子が前記基準電圧出力端子Oに接続されて、基準電圧出力端子Oに電流を供給する。前記第2のP型トランジスタTr2は、前記第1のP型トランジスタTr1と共にカレントミラー回路を構成し、そのソース端子は前記電源に接続され、そのゲート端子は自己のドレイン端子と前記第1のP型トランジスタTr1のゲート端子とに接続されていて、前記第1のP型トランジスタTr1に流れるドレイン電流I1を決定する。また、前記帰還型制御回路11は、前記第1のダイオードD1の陽極(以下、ノードN1という)の電圧と前記第1及び第2の抵抗素子R1、R2同士の接続点(以下、ノードN2という)の電圧とが等しくなるように前記第2のP型トランジスタTr2のドレイン電流I2を制御するものであって、N型のトランジスタTr3と、差動増幅回路14とを有する。このトランジスタTr3は、そのソース端子が接地電位に接続され、そのドレイン端子が前記第2のP型トランジスタTr2のドレイン端子(以下、ノードN3という)に接続される。また、前記差動増幅回路14は、前記前記2つのノードN1、N2の電圧を入力し、その出力は前記トランジスタTr3のゲート端子に与えられる。

[0033] 更に、前記プルダウン回路2は、前記BGR回路1の基準電圧出力端子Oの出力電圧が、図8に示した異常安定点にあるときに正常安定点に移行させるものであって、P型のトランジスタTr4を有する。このトランジスタTr4は、前記BGR回路1の第2のP型トランジスタTr2のドレイン端子(即ち、ノードN3)と接地電位の間に配置され、そのゲート端子は、前記BGR回路1の基準電圧出力端子Oに接続されていて、前記BGR回路1の第2のP型トランジスタTr2のドレイン電流I2がほぼ零値のときにそのドレイン電流I2を増大させる。

[0034] 次に、本実施形態の動作を説明する。ここでは、第1のP型トランジスタTr1と第2のP型トランジスタTr2の両サイズが等しく、カレントミラー構成によって両トランジスタTr1、Tr2のドレイン電流I1、I2について、 $I1 = I2$ の関係が成立しているとする。以下、

BGR回路1が異常安定点にあって、正常安定点に移行する動作を図1及び図2を用いて説明する。

- [0035] 最初、異常安定点にある状態では、基準電圧出力端子Oの出力電圧は、接地電位に近い電圧となる。この時、帰還型制御回路11の差動増幅回路14の出力端子の電圧、即ち、トランジスタTr3のゲート端子(ノードN4)の電圧は0Vになっていて、トランジスタTr3がオフしている。このため、このトランジスタTr3のドレイン電流I3は、 $I_3 = I_2 = I_1 = 0(A)$ となる。従って、基準電圧出力端子Oの出力電圧は、接地電位に保たれたままである。また、第2のP型トランジスタTr2のドレイン端子は、トランジスタTr3がオフしているので、電源電位にプルアップされる。
- [0036] 前記のようにBGR回路1が異常安定点にある際に、プルダウン回路2では、P型のトランジスタTr4のゲート端子が接地電位、そのソース端子が電源電位であって、ゲートソース間電圧が電源電位になるので、このトランジスタTr4はオンして、BGR回路1の第2のP型トランジスタTr2から電流I2(=I4)を流し始める。BGR回路1の第1のP型トランジスタTr1は、第2のP型トランジスタTr2の電流I2をカレントミラーしているので、第1のP型トランジスタTr1にも電流I1が流れ始めて、基準電圧出力端子Oの出力電圧は、異常安定点と正常安定点の中間電圧まで立ち上がる。
- [0037] そして、基準電圧出力端子Oの出力電圧が中間電圧まで立ち上がって、ノードN1の電圧>ノードN2の電圧となると、帰還型制御回路11の差動増幅回路14がノードN1の電圧=ノードN2の電圧となるように、N型のトランジスタTr3のゲート電圧を上昇させる。ここで、前記差動増幅回路14は、消費電流を削減するために一般的に応答速度が遅く、トランジスタTr3のゲート端子(ノードN4)の電圧がその閾値電圧を超えるまでの間、そのドレイン電流I3は、 $I_3 = 0$ である。この期間が図2の過渡状態(1)に対応する。
- [0038] その後、トランジスタTr3のゲート電圧がそのトランジスタTr3の閾値電圧を超えると、ドレイン電流I3が流れ出して、第1のP型トランジスタTr1のドレイン電流I1が増加を始め、基準電圧出力端子Oの出力電圧が上昇する。基準電圧出力端子Oの出力電圧が上昇すると、それに伴い、プルダウン回路2のトランジスタTr4のゲートソース間電圧が小さくなるので、トランジスタTr4のドレイン電流I4は小さくなる。この期間が図

2の過渡状態(2)に対応する。

[0039] そして、基準電圧出力端子Oの出力電圧が正常安定点となる電圧になると、差動増幅回路14がトランジスタTr3のゲート電圧を上げる制御を止めるので、基準電圧出力端子Oの出力電圧は一定となる。この期間が図2の正常状態に対応する。この時、4個のトランジスタTr1〜Tr4のドレイン電流I1〜I4は、 $I1 = I2 = I3 + I4$ となり、プルダウン回路2で消費されるドレイン電流I4の電流増加分は、BGR回路1のトランジスタTr3のドレイン電流I3の電流減少分と等しくなり、実質的に電流増加なしでスタートアップ機能が実現できていることとなる。

[0040] このように、BGR回路1の第2のP型トランジスタTr2のドレイン電流I2を、帰還型制御回路11で制御される電流I3以外に、プルダウン回路2にも流し、プルダウン回路2に流れる電流I4が増加すると、帰還型制御回路11で制御される電流I3を減少させ、逆に、プルダウン回路2に流れる電流I4が減少すると、その分、帰還型制御回路11で制御される電流I3を増加させることにより、常に正常安定点で動作することが可能になる。

[0041] ここで、プルダウン回路2は、1個のトランジスタTr4で実現できるので、レイアウト面積の削減効果は大きい。

[0042] (第2の実施形態)

次に、本発明の第2の実施形態を図3に示す。

[0043] 前記第1の実施形態では、BGR回路1において正常状態で必要な第1のP型トランジスタTr1のドレイン電流I1よりも、プルダウン回路2に流れる電流I4の方が大きくなれば、第1のP型トランジスタTr1のドレイン電流I1は、正常状態で必要な電流値以上の電流値となって、正常安定点で動作しなくなる。これを避けるために、プルダウン回路2に流れる電流 $I4 < \text{正常状態での第1のP型トランジスタTr1のドレイン電流I1}$ となるように、プルダウン回路2のP型トランジスタTr4のトランジスタサイズを最適化する必要がある。しかし、異常安定点でのP型トランジスタTr4に流れる電流I4は、そのゲートソース間電圧を決定する電源電圧の2乗に比例する。また、トランジスタは一般的に製造工程が複雑であり、ドレイン電流はばらつき易い欠点がある。このため、上述の電流 $I4 < (\text{正常状態のI1電流})$ を満たすように、P型トランジスタTr4のサイズを

決定することは比較的難しい。

[0044] そこで、本実施形態では、図3に示すように、プルダウン回路2Aに、P型トランジスタTr4に加えて、抵抗素子(電流発生素子)R4を設けている。この抵抗素子R4は、一端がP型トランジスタTr4のソース端子に接続され、他端がBGR回路1の第2のP型トランジスタTr2のドレイン端子(ノードN3)に接続される。

[0045] 本実施形態では、プルダウン回路2Aによるスタートアップ機能の基本的な原理は第1の実施形態と同一である。本実施形態では、プルダウン回路2Aに流れる電流I4は、抵抗素子R4の抵抗値で決定される。すなわち、プルダウン回路2Aに流れる電流I4は、

ノードN3の電圧－

(基準電圧出力端子Oの出力電圧－トランジスタTr4の閾値電圧)

を抵抗素子R4の抵抗値で除算した値になって、ノードN3の電圧を決定する電源電圧の1乗に比例するようになる。そのため、上述の電流 $I_4 < (正常状態のI_1電流)$ の関係を満たす設計の容易化が図れる。

[0046] (第3の実施形態)

続いて、本発明の第3の実施形態を図4に示す。

[0047] 本実施形態では、プルダウン回路2Bを、P型トランジスタTr4とダイオード素子(電流発生素子)D3との直列接続により構成している。ダイオード素子D3は、その陽極がBGR回路1のノードN3に接続され、陰極がP型トランジスタTr4のソース端子に接続される。その他の構成は、第1の実施形態と同様であるので、同一部分に同一符号を付してその説明を省略する。

[0048] 本実施形態では、プルダウン回路2Bに流れる電流I4は、

ノードN3の電圧－

(基準電圧出力端子Oの出力電圧－トランジスタTr4の閾値電圧)

をダイオード素子D3の端子間インピーダンスで除算した値になって、前記第2の実施形態の抵抗素子R4を使用する場合に比して、BGR回路1のノードN3の電圧を決定する電源依存性が大きくなるが、ダイオード素子D3は、一般的にばらつきが少ないので、上述の電流 $I_4 < (正常状態のI_1電流)$ を満たす設計のより一層の容易化が

図れる。

[0049] (第4の実施形態)

次に、本発明の第4の実施形態を図5に示す。

[0050] 本実施形態では、プルダウン回路2Cを、P型トランジスタTr4と他のP型トランジスタ(電流発生素子)Tr5との直列接続により構成している。前記P型トランジスタTr5は、そのソース端子がBGR回路1のノードN3に接続され、ドレイン端子が自己のゲート端子と前記P型トランジスタTr4のソース端子とに接続されている。

[0051] 本実施形態では、プルダウン回路2Cに流れる電流I4は、

ノードN3の電圧－

(基準電圧出力端子Oの出力電圧－トランジスタTr4の閾値電圧)

をトランジスタTr5のソースドレイン端子間インピーダンスで除算した値になる。本実施形態では、2個のトランジスタTr4、Tr5だけでプルダウン回路2Cを設計できるので、第2及び第3の実施形態のように抵抗素子R4やダイオード素子D3の特性を検討する必要がない。

[0052] 尚、本実施形態では、トランジスタTr5のゲート端子をドレイン端子に接続したが、図6に示すように、ゲート端子をグランド等の一定の固定電圧に接続したトランジスタ(電流発生素子)Tr6を設けて、このトランジスタTr6のソースドレイン間インピーダンスを使用しても、前記第3の実施形態と同様の機能を実現できる。

産業上の利用可能性

[0053] 以上説明したように、本発明は、消費電流を増加させることなく、また少ない素子数でもってスタートアップ機能を実現することが可能であるので、携帯機器等に使用する場合に電池の寿命を延ばすことが可能であると共に、レイアウト面積を有効に削減できて、コンパクト化及び低コスト化に有効な基準電圧発生回路等として有用である。

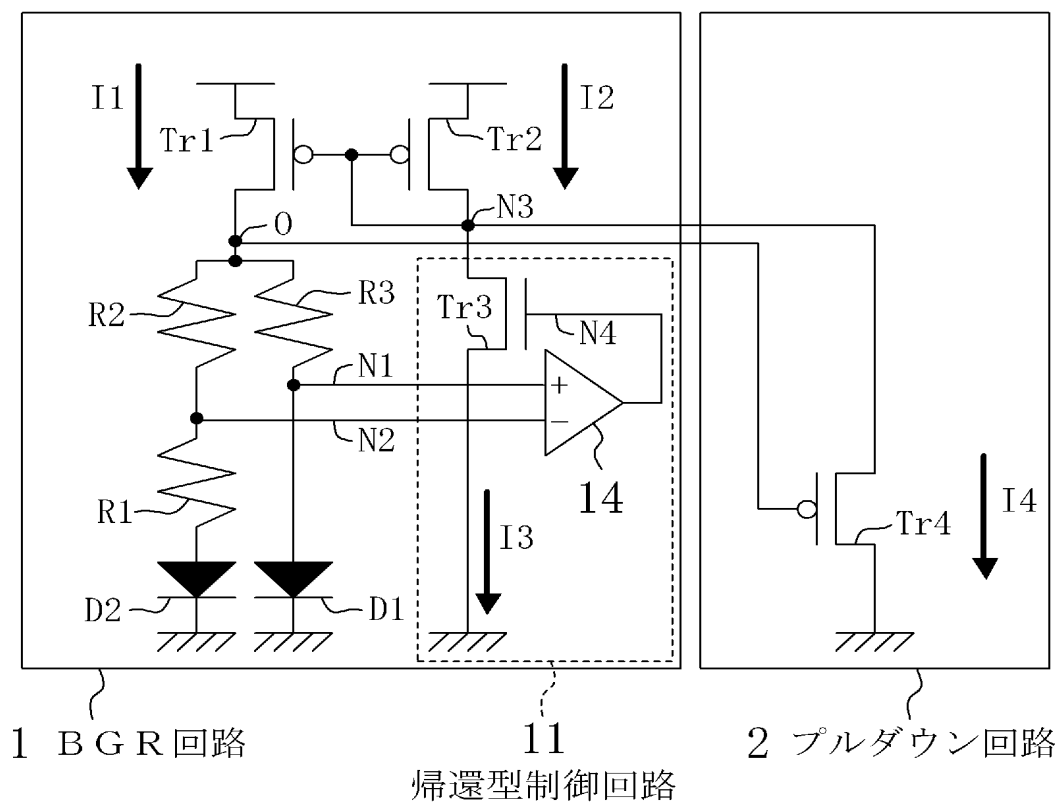
請求の範囲

- [1] 基準電圧出力端子から一定電圧の基準電圧を発生する基準電圧発生回路であって、
- 陰極が接地電位に接続された第1のダイオード素子、
- 前記第1のダイオード素子とは電流密度が異なり、且つ陰極が接地電位に接続された第2のダイオード素子、
- 前記第2のダイオード素子の陽極に一端が接続された第1の抵抗素子、
- 前記第1の抵抗素子の他端に一端が接続され、他端が前記基準電圧出力端子に接続された第2の抵抗素子、
- 前記第1のダイオード素子の陽極に一端が接続され、他端が前記基準電圧出力端子に接続された第3の抵抗素子、
- 前記基準電圧出力端子に電流を供給する第1のP型トランジスタ、
- ゲート端子が自己のドレイン端子及び前記第1のP型トランジスタのゲート端子に接続された第2のP型トランジスタ、及び、
- 前記第1のダイオード素子の陽極の電圧と前記第1及び第2の抵抗素子同士の接続点の電圧とが等しくなるように前記第2のP型トランジスタのドレイン電流を制御する帰還型制御回路を有するバンドギャップリファレンス回路と、
- 前記バンドギャップリファレンス回路の基準電圧出力端子の出力電圧が異常安定点にあるとき正常安定点に移行させるスタートアップ回路とを備え、
- 前記スタートアップ回路は、前記バンドギャップリファレンス回路の第2のP型トランジスタのドレイン端子と接地電位の間に配置され、前記第2のP型トランジスタのドレイン電流がほぼ零値のときにそのドレイン電流を増大させる
- ことを特徴とする基準電圧発生回路。
- [2] 請求項1記載の基準電圧発生回路において、
- 前記スタートアップ回路は、ゲート端子が前記基準電圧出力端子に接続されたP型トランジスタである
- ことを特徴とする基準電圧発生回路。
- [3] 請求項1記載の基準電圧発生回路において、

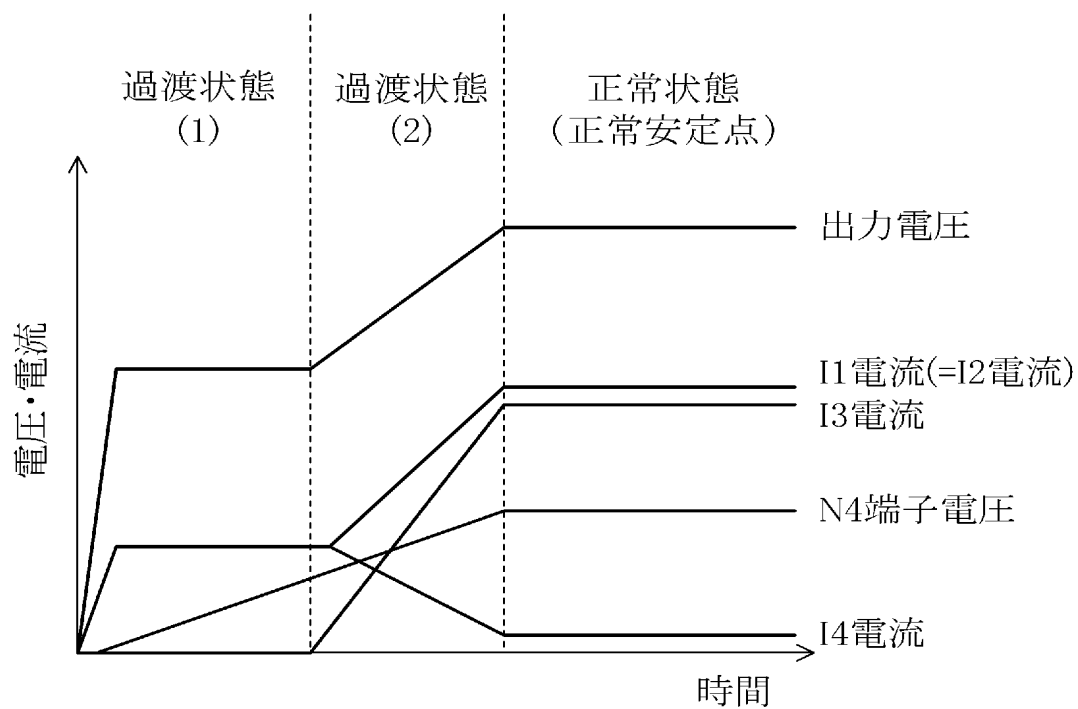
前記スタートアップ回路は、
ゲート端子が前記基準電圧出力端子に接続されたP型トランジスタと、
前記P型トランジスタのソース端子と前記バンドギャップリファレンス回路の第2のP型トランジスタのドレイン端子との間に配置された電流発生素子とを有することを特徴とする基準電圧発生回路。

- [4] 請求項3記載の基準電圧発生回路において、
前記電流発生素子は、抵抗素子であることを特徴とする基準電圧発生回路。
- [5] 請求項3記載の基準電圧発生回路において、
前記電流発生素子は、ダイオード素子であることを特徴とする基準電圧発生回路。
- [6] 請求項3記載の基準電圧発生回路において、
前記電流発生素子は、ゲート端子がドレイン端子に接続されたトランジスタであることを特徴とする基準電圧発生回路。
- [7] 請求項3記載の基準電圧発生回路において、
前記電流発生素子は、ゲート端子が一定電圧に固定されたトランジスタであることを特徴とする基準電圧発生回路。

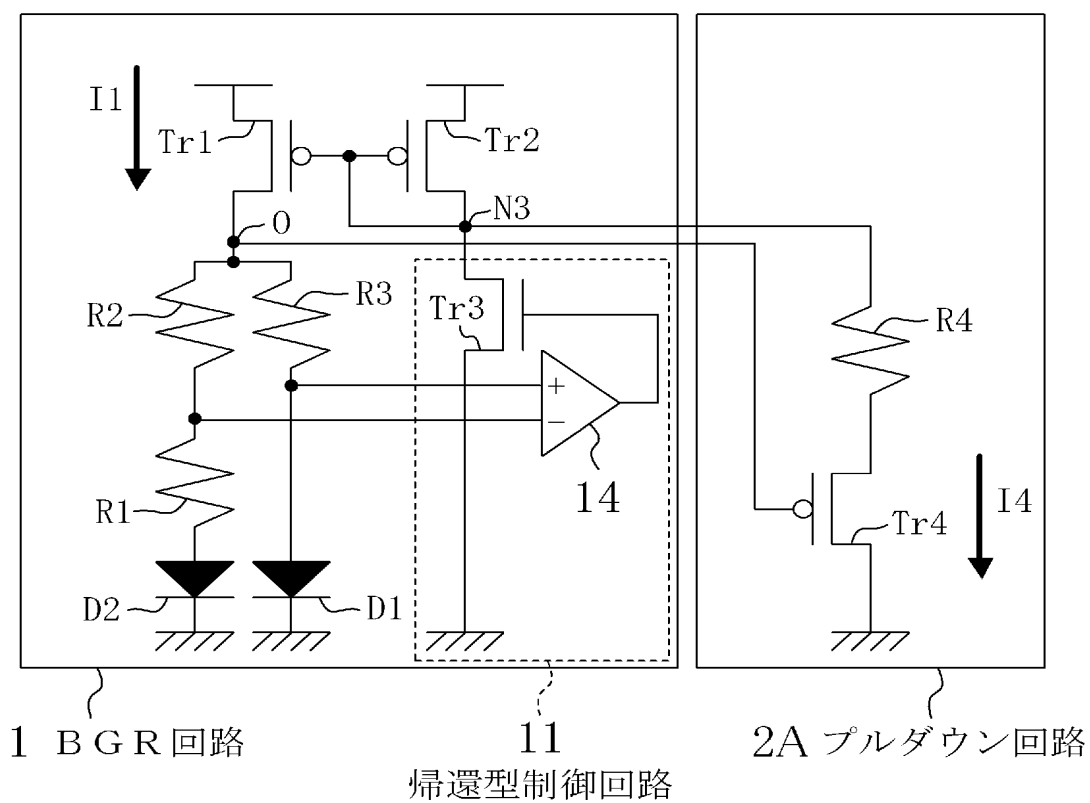
[図1]



[図2]



[図3]



[図4]

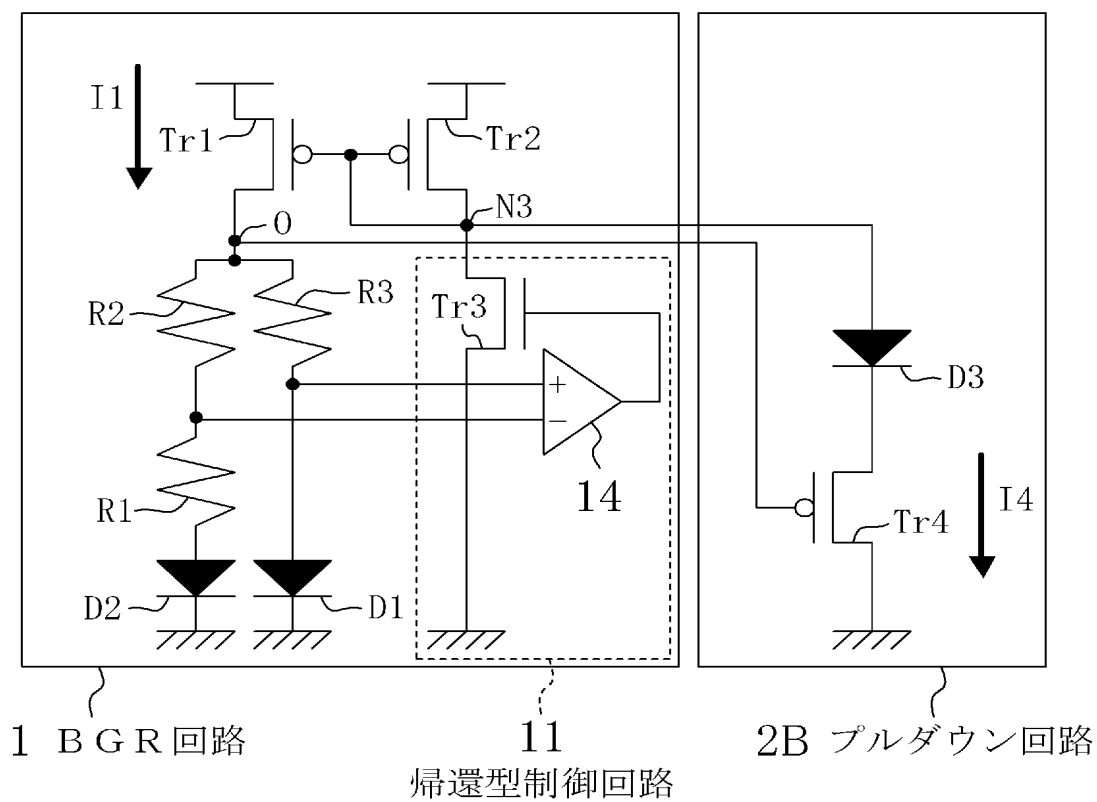
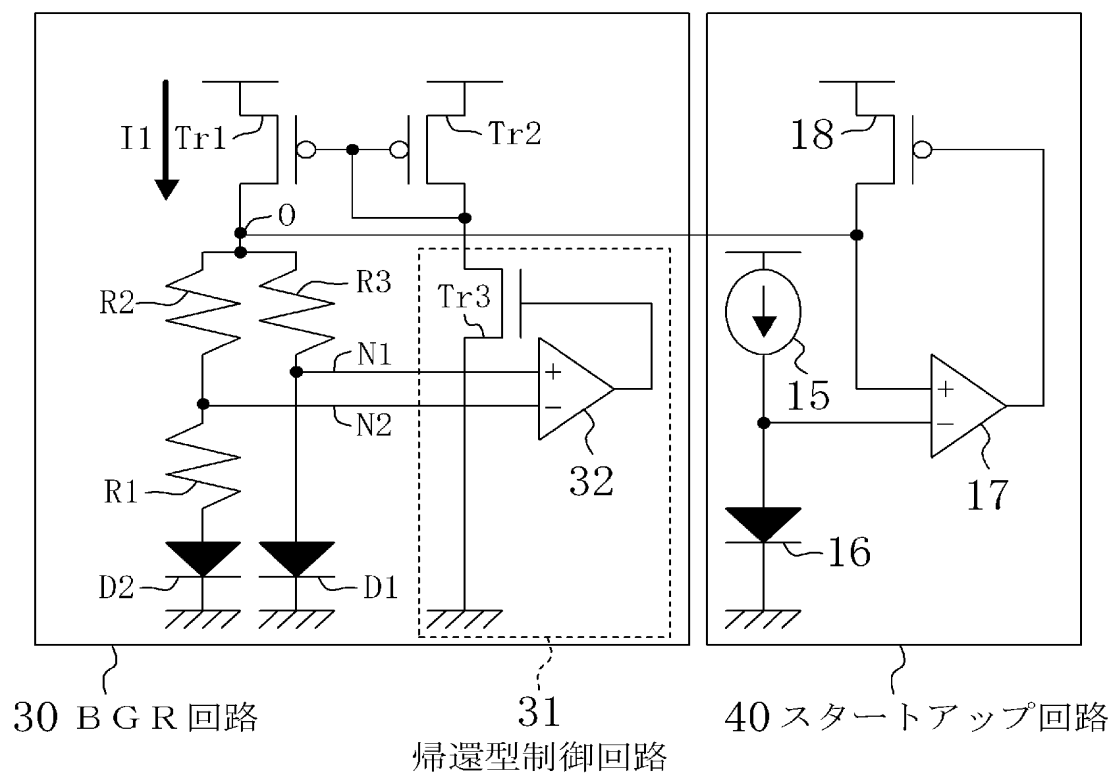


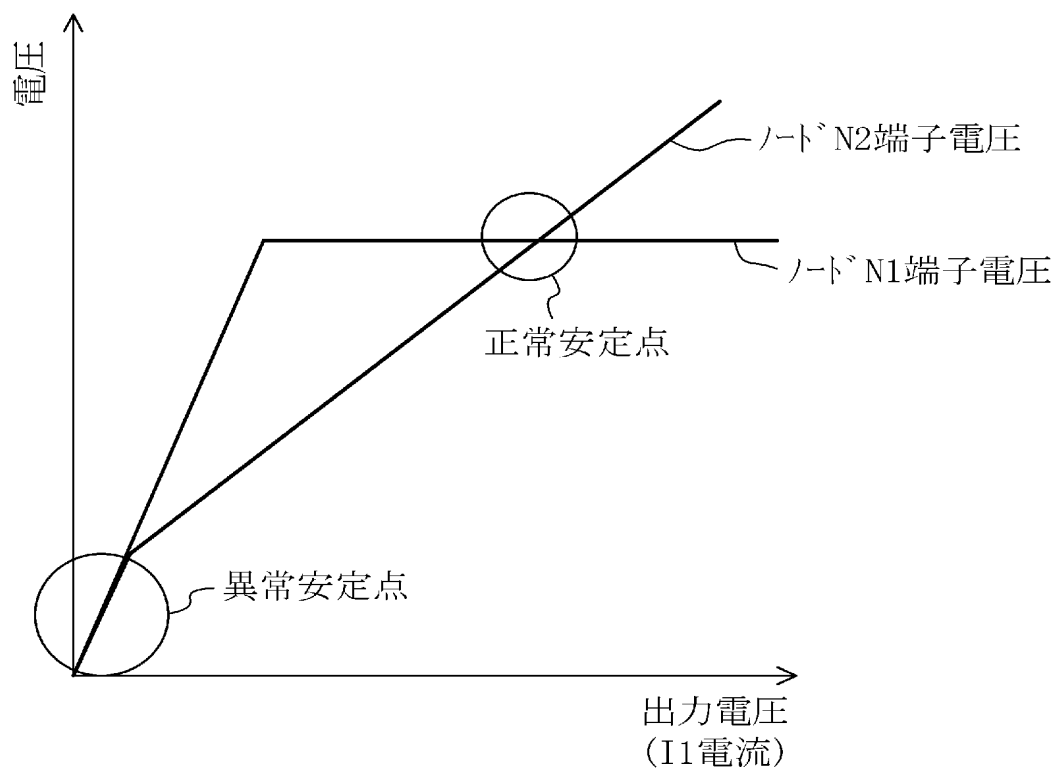
Figure 1 is a schematic diagram of the control circuit. It is divided into three main sections: 1 BGR circuit, 11 feedback control circuit, and 2C pull-down circuit.

- 1 BGR circuit:** This section includes a current source $I1$ connected to the gates of transistors $Tr1$ and $Tr2$. The sources of $Tr1$ and $Tr2$ are connected to a node labeled 0 . The gates of $Tr1$ and $Tr2$ are also connected to a node labeled $N3$. The sources of $Tr1$ and $Tr2$ are connected to a node labeled 0 . The gates of $Tr1$ and $Tr2$ are also connected to a node labeled $N3$. The sources of $Tr1$ and $Tr2$ are connected to a node labeled 0 . The gates of $Tr1$ and $Tr2$ are also connected to a node labeled $N3$.
- 11 帰還型制御回路 (Feedback Control Circuit):** This section includes a differential pair of transistors $Tr3$ and $Tr4$. The gates of $Tr3$ and $Tr4$ are connected to a node labeled $N3$. The sources of $Tr3$ and $Tr4$ are connected to a node labeled 0 . The gates of $Tr3$ and $Tr4$ are also connected to a node labeled $N3$. The sources of $Tr3$ and $Tr4$ are connected to a node labeled 0 . The gates of $Tr3$ and $Tr4$ are also connected to a node labeled $N3$. The sources of $Tr3$ and $Tr4$ are connected to a node labeled 0 .
- 2C プルダウン回路 (Pull-down Circuit):** This section includes a differential pair of transistors $Tr4$ and $Tr5$. The gates of $Tr4$ and $Tr5$ are connected to a node labeled $N3$. The sources of $Tr4$ and $Tr5$ are connected to a node labeled 0 . The gates of $Tr4$ and $Tr5$ are also connected to a node labeled $N3$. The sources of $Tr4$ and $Tr5$ are connected to a node labeled 0 . The gates of $Tr4$ and $Tr5$ are also connected to a node labeled $N3$. The sources of $Tr4$ and $Tr5$ are connected to a node labeled 0 .

[図7]

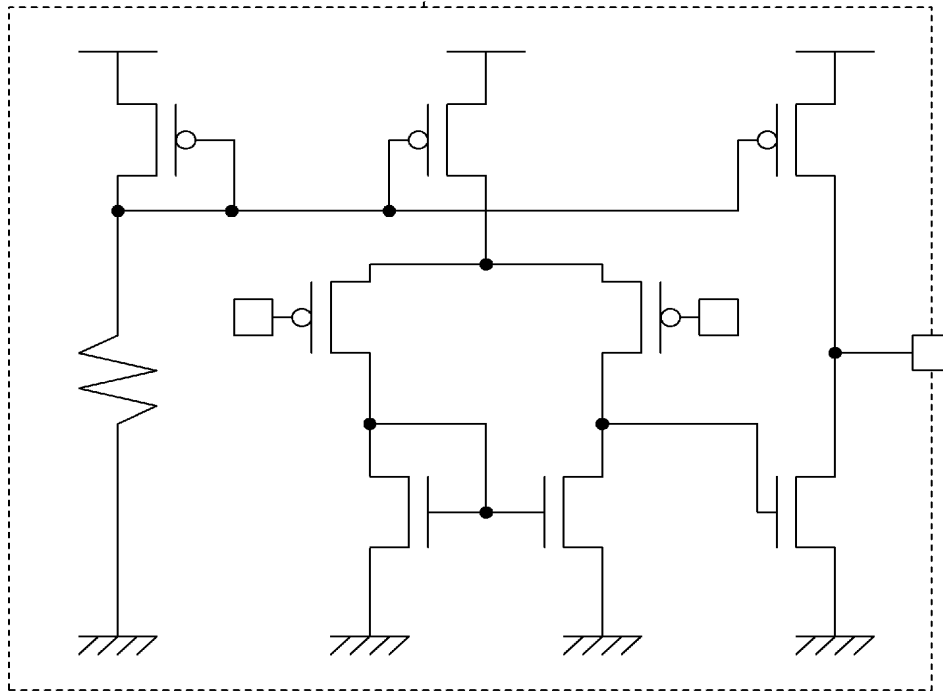


[図8]



[図9]

17 差動増幅回路



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/002159

A. CLASSIFICATION OF SUBJECT MATTER

Int. Cl.⁷ G05F3/28

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int. Cl.⁷ G05F3/28

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

| | | | |
|---------------------------|-----------|----------------------------|-----------|
| Jitsuyo Shinan Koho | 1922-1996 | Jitsuyo Shinan Toroku Koho | 1996-2005 |
| Kokai Jitsuyo Shinan Koho | 1971-2005 | Toroku Jitsuyo Shinan Koho | 1994-2005 |

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

| Category* | Citation of document, with indication, where appropriate, of the relevant passages | Relevant to claim No. |
|-----------|--|-----------------------|
| Y A | JP 2000-181554 A (Matsushita Electric Industrial Co., Ltd.), 30 June, 2000 (30.06.00), Par. Nos. [0044] to [0058]; Fig. 1 (Family: none) | 1 2-7 |
| Y A | JP 2003-131749 A (Oki Electric Industry Co., Ltd.), 09 May, 2003 (09.05.03), Claim 5; Par. Nos. [0058], [0064], [0093], [0099], [0131], [0137], [0162], [0169], [0175], [0183]; Figs. 2, 4, 6, 8, 10, 12, 14, 16, 18, 20 & US 2003/80806 A1 | 1 2-7 |



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search

19 May, 2005 (19.05.05)

Date of mailing of the international search report

07 June, 2005 (07.06.05)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl.⁷ G05F3/28

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl.⁷ G05F3/28

最小限資料以外の資料で調査を行った分野に含まれるもの

| | |
|-------------|------------|
| 日本国実用新案公報 | 1922-1996年 |
| 日本国公開実用新案公報 | 1971-2005年 |
| 日本国実用新案登録公報 | 1996-2005年 |
| 日本国登録実用新案公報 | 1994-2005年 |

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

| 引用文献の カテゴリー* | 引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示 | 関連する 請求の範囲の番号 |
|-----------------|--|------------------|
| Y A | JP 2000-181554 A (松下電器産業株式会社) 2000. 06. 30, 段落【0044】 — 【0058】、図1 (ファミリーなし) | 1 2-7 |
| Y A | JP 2003-131749 A (沖電気工業株式会社) 2003. 05. 09, 請求項5、 【0058】、【0064】、【0093】、【0099】、【0131】、【0137】、【0162】、【0169】、 【0175】、【0183】図2、4、6、8、10、12、14、16、18、20 &US 2003/80806 A1 | 1 2-7 |

☐ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」 口頭による開示、使用、展示等に言及する文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」 同一パテントファミリー文献

国際調査を完了した日

19. 05. 2005

国際調査報告の発送日

07. 6. 2005

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

米山 毅

電話番号 03-3581-1101 内線 3358

3V

9324